

DE 19507562

1/7/1

DIALOG(R) File 351:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010411174 **Image available** WPI Acc No: 1995-312488/199541

Semiconductor memory device, esp. synchronous video RAM - holds internal operation of column address counter, burst length counter and data output switching circuit for period during which signal is in active state

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Inventor: LEE H; LEE S; PARK C; JANG H

Number of Countries: 006 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19507562	A1	19950907	DE 1007562	A	19950303	199541 B
JP 7254273	A	19951003	JP 9544668	A	19950303	199548
TW 265472	A	19951211	TW 95102035	A	19950303	199609
US 5568445	A	19961022	US 95397690	A	19950302	199648
CN 1117642	A	19960228	CN 95103273	A	19950303	199742
KR 122099	B1	19971126	KR 944127	A	19940303	199950
JP 3117893	B2	20001218	JP 9544668	A	19950303	200102

Priority Applications (No Type Date): KR 944127 A 19940303

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 19507562	A1	21		G11C-007/00	
JP 7254273	A	13		G11C-011/407	
TW 265472	A			H01L-027/11	
US 5568445	A	20		G11C-008/00	
CN 1117642	A			G11C-007/00	
KR 122099	B1			G11C-007/00	
JP 3117893	B2	12		G11C-011/407	Previous Publ. patent JP 7254273

Abstract (Basic): DE 19507562 A

The semiconductor memory includes a column address counter, a burst length counter and a data output switching circuit. Data are processed in synchronism with an externally applied clock. The memory has a circuit for setting a predetermined write time value and for holding the column address counter, burst length counter and data output switching circuit for a predetermined time interval determined by the write time value.

The write time value determines the number of clock pulses of the system clock that are counted from the time that the activation of a write control signal applied from outside, until the input data are transferred to an internal data bus.

ADVANTAGE - Allows variable control of write latency.

Dwg.1/11

Abstract (Equivalent): US 5568445 A

A semiconductor memory device including a column address counter, a burst length counter and a data transfer switching circuit for processing data in synchronization with an external system clock, said semiconductor memory device comprising:

means for setting a prescribed write latency value; and

Best Available Copy

means for inhibiting internal operations of said column address counter, burst length counter and data transfer switching circuit for a prescribed holding time corresponding to said write latency value.

(Dwg.1/11)

Derwent Class: T01; U14

International Patent Class (Main): G11C-007/00; G11C-008/00; G11C-011/407;
H01L-027/11

International Patent Class (Additional): G11C-011/409; H01L-027/10

?

①9 BUNDESREPUBLIK
DEUTSCHLAND

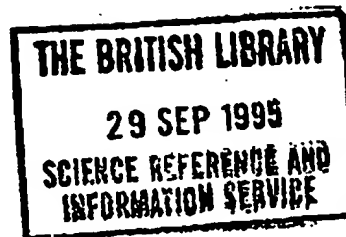


DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 195 07 562 A 1**

⑥1 Int. Cl.®:
G 11 C 7/00
G 11 C 11/409

⑳ Aktenzeichen: 195 07 562.5
㉔ Anmeldetag: 3. 3. 95
㉕ Offenlegungstag: 7. 9. 95



DE 195 07 562 A 1

③0 Unionspriorität: ③2 ③3 ③1
03.03.94 KR 4127/94

㉚ Anmelder:
Samsung Electronics Co., Ltd., Suwon, KR

㉛ Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser,
Anwaltssozietät, 80538 München

㉚ Erfinder:
Park, Churoo, Suwon, KR; Lee, Si-Yeol, Yongin, KR;
Lee, Ho-Cheol, Seoul/Soul, KR; Jang, Hyun-Soon,
Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Synchrone Halbleiterspeichervorrichtung mit einer Schreiblatenzsteuerfunktion

⑤7 Eine Halbleiterspeichervorrichtung zur Verarbeitung der Daten in Synchronisation mit einem von außen zugeführten Systemtakt enthält einen Schaltkreis zum Erzeugen eines Schreiblatenzsteuerungssignals, einen Schaltkreis zur Erzeugung genau eines Aktivinformationserweiterungssignals aus einer Vielzahl von Aktivinformationssignalen als Reaktion auf ein Spalten-bezogenes, von außen zugeführtes Steuerungssignal, und einen Schaltkreis zum Halten des internen Betriebs eines Spaltenadressenzählers, eines Bündellängenzählers und eines Datenübergabeschalterschaltkreises für eine vorgeschriebene Zeit, in der das Aktivinformationserweiterungssignal in einem aktiven Zustand ist.

DE 195 07 562 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf eine synchrone Halbleiterspeichervorrichtung, und besonders auf einen Apparat zur Einstellung der Schreiblatenz einer synchronen Halbleiterspeichervorrichtung.

Im Unterschied zu einem gewöhnlichen dynamischen RAM (random access memory, Speicher mit wahlfreiem Zugriff) kann ein synchrones dynamisches RAM eine Spaltenadresse aus dem Inneren erzeugen (Verweis auf ein Video-RAM). Da in einem gewöhnlichen dynamischen RAM eine Spaltenadresse von Außen angelegt werden sollte, um ein Datensignal zu lesen oder zu schreiben, werden n Spaltenadressen benötigt, um n Datensignale zu lesen oder zu schreiben. Selbst wenn aufeinander folgende Spaltenadressen benutzt werden, trifft dasselbe zu (Verweis auf einen Fast-Page-Mode (schneller Seitenmode) und auf einen Static-Column-Mode (statischen Spaltenmode)). Falls in einem synchronen dynamischen RAM nur die erste Spaltenadresse angelegt wird, werden die nachfolgenden Spaltenadressen intern erzeugt, wobei n Datensignale gelesen oder geschrieben werden. Deshalb ist es nicht nötig, alle Spaltenadressen von Außen bereitzustellen. In der folgenden Spezifikation wird solch ein Zähler als Spaltenadressenzähler bezeichnet.

Die Zahl n der Datensignale, die nach dem Anlegen der Anfangsspaltenadresse gelesen oder geschrieben werden können, wird als Bündellänge oder Hüllengröße bezeichnet. Die Bündellänge hat keinen festen Wert, sondern unterschiedliche Werte in Abhängigkeit von dem zu einem Zeitpunkt empfangenen Adressenwert, nachdem ein Mode-Rücksetzsignal-(MRS)-Register gesetzt wird, und diese Werte werden in einem internen Speicherregister gespeichert, bis das nächste MRS gesetzt wird. So speichert das synchrone dynamische RAM Daten zur Steuerung eines internen Schaltkreises wie auch die Daten in der Speicherzelle.

Im Unterschied zu einem gewöhnlichen dynamischen RAM benutzt ein synchrones dynamisches RAM dasselbe Taktsignal zur Aktivierung eines Spaltenadressenübernahmesignals CAS und zum Empfang einer Spaltenadresse. Eine Latenz gibt an, daß Daten erzeugt oder empfangen werden nach entsprechend vielen Taktimpulsen eines Systemtaktes, gerechnet vom Empfang der anfänglichen Spaltenadresse, und diese Latenz wird nach Taktimpulseinheiten gezählt. Die Latenz in der Erzeugung der Daten wird als CAS-Latenz oder Leselatenz bezeichnet, und die Latenz im Empfang der Daten wird als Schreiblatenz bezeichnet. Die CAS-Latenz wie auch die Bündellänge wird durch das MRS bestimmt. Generell liegt die Schreiblatenz fest auf einem gewissen Wert.

Da Datensignale in Übereinstimmung mit der Bündellänge erzeugt oder empfangen werden sollten, nachdem die Bündellänge in das MRS programmiert worden ist, ist es in dem synchronen dynamischen RAM notwendig, den Zeitpunkt zu erkennen, um intern den Daten-Eingang/-Ausgang zu stoppen. Dies wird erreicht durch Vergleich einer Taktimpulzzählung mit einem in das MRS einprogrammierten und in dem Register gespeicherten Wert. Ein diesem Vorgang dienender Zähler wird als Bündelendzähler bezeichnet.

In der synchronen Speichervorrichtung, die in Synchronisation mit dem von Außen bereitgestellten Systemtakt betrieben wird, hängt der Schreiblatenzwert davon ab, daß die Daten nach entsprechend vielen Taktimpulsen des verwendeten Systemtaktgebers empfangen werden. Beim Entwurf der Speichervorrichtung wird der Schreiblatenzwert auf einen bestimmten Wert festgelegt. Um eine Fülle von Benutzerforderungen bezüglich der Schreiblatenz zu erfüllen, ist es für den Verkäufer nicht wünschenswert, komplizierte zusätzliche Schaltkreise zu benutzen. Deshalb ist es notwendig, die Schreiblatenz variabel einzustellen, um sowohl den Benutzer als auch den Verkäufer zufrieden zu stellen.

Zusammenfassung der Erfindung

Es ist deshalb ein Ziel der vorliegenden Erfindung, eine synchrone Halbleiterspeichervorrichtung vorzusehen, die in der Lage ist, die Schreiblatenz zu steuern.

In Übereinstimmung mit einem Aspekt der Erfindung schließt eine Halbleiterspeichervorrichtung zur Verarbeitung der Daten in Synchronisation mit einem von Außen bereitgestellten Systemtakt ein einen Schaltkreis zum Erzeugen eines Schreiblatenzsteuersignals, einen Schaltkreis zum Erzeugen genau eines Aktivitätsinformationserweiterungssignals aus einer Vielzahl von Aktivitätsinformationssignalen, die als Reaktion auf ein Spaltenbezogenes, von Außen bereitgestelltes Steuersignal erzeugt wurden, und einen Schaltkreis zum Halten des internen Betriebs eines Spaltenadressenzählers, eines Bündellängenzählers und eines Datenübergabeschalterschaltkreises für eine vorgeschriebene Zeit, in der das Aktivitätsinformationserweiterungssignal im aktiven Zustand ist.

Kurze Beschreibung der Erfindung

Fig. 1 ist ein Blockdiagramm, das eine Grundkonfiguration zur Steuerung einer Schreiblatenz nach der vorliegenden Erfindung zeigt;

Fig. 2A—2C veranschaulichen einen Schaltkreisblock nach Fig. 1 zur Erzeugung eines Schreiblatenzsignals unter Benutzung eines Bondierdrahtes bzw. einer Schmelzsicherung bzw. einer Programmform durch eine Spaltenadresse und ein WCBR-Modesignal;

Fig. 3 veranschaulicht einen Schaltkreis zur Erzeugung eines CAS-Aktivinformationserweiterungssignals Φ_{CN} , das bereitgestellt wird, wenn ein Schreiblatenzwert auf "n" gesetzt wird;

Fig. 4A und 4B veranschaulichen einen Spaltenadressenzähler nach Fig. 1, wenn Schreiblatenzinformation nicht berücksichtigt wird, bzw. wenn Schreiblatenzinformation berücksichtigt wird;

Fig. 5A und 5B veranschaulichen einen Bündellängenzähler nach Fig. 1, wenn Schreiblatenzinformation nicht berücksichtigt wird, bzw. wenn Schreiblatenzinformation berücksichtigt wird;

Fig. 6 veranschaulicht einen Bündellängenerkennungsschaltkreis nach Fig. 1;

Fig. 7A und 7B veranschaulichen einen Datenübergabeschalterschaltkreis nach Fig. 1, wenn Schreiblatenzin-

formation nicht berücksichtigt wird, bzw. wenn Schreiblatenzinformation berücksichtigt wird;
 Fig. 8A—8C sind Zeitdiagramme, die den Betrieb nach Fig. 1 veranschaulichen, wenn der Datenübergabeschalterschaltkreis nicht durch die Schreiblatenzinformation gesteuert wird, bzw. wenn der Schreiblatenzwert "0" bzw. "1" bzw. "2" ist;

Fig. 9 ist ein Zeitdiagramm, das den Betrieb nach Fig. 1 veranschaulicht, wenn eine Eingabe-/Ausgabemaskeierungsoperation in dem Zustand durchgeführt wird, in dem der Datenübergabeschalterschaltkreis nicht gesteuert wird und der Schreiblatenzwert "1" ist;

Fig. 10 ist ein Zeitdiagramm, das den Betrieb nach Fig. 1 veranschaulicht, wenn der Datenübergabeschalterschaltkreis durch die Schreiblatenzinformation gesteuert wird und der Schreiblatenzwert "1" ist; und

Fig. 11A und 11B sind Zeitdiagramme, die den Betrieb von Fig. 1 nach der vorliegenden Erfindung veranschaulichen, wenn der Schreiblatenzwert "0" bzw. "1" ist.

Ausführliche Beschreibung der bevorzugten Ausführungsform

Die bevorzugte Ausführungsform der Erfindung wird auf das synchrone dynamische RAM der Mega-Bit-Klasse angewendet. Fig. 1 zeigt die enthaltenen Bestandteile, um eine Schreiblatenzsteuerungsfunktion in einer Halbleiterspeichervorrichtung zu verwirklichen. Ein Schaltkreis 10 zum Erzeugen eines Schreiblatenzsignals erzeugt ein Schreiblatenzsignal $\Phi WL1$, das einen Schreiblatenzwert bestimmt. Das Schreiblatenzsignal $\Phi WL1$ kann den Schreiblatenzwert "0" oder "1" setzen, und dieser Erzeugungsprozeß wird in Fig. 2 gezeigt. Ein Spaltenadressenzähler 30 empfängt einen Systemtakt CLK, ein CAS-Aktivinformationssignal ΦC (oder ein CAS-Aktivinformationserweiterungssignal ΦCN , wenn der Schreiblatenzwert "n" ist), ein Schreibfreigabe-(WE)Aktivinformationssignal ΦWR , ein Spaltenadressensignal CA0, ein Spaltenadressenrücksetzsignal $\Phi CARC$, ein Bit-Setzsignal BITSET und das Schreiblatenzsignal $\Phi WL1$, und übergibt an einen Spaltenadressenpuffer eine Mehrzahl von Spaltenadressensignalen, die vom Spaltenadressensignal CA0 hochgezählt werden. Ein Bündellängenzähler 50 empfängt den Systemtakt CLK, das CAS-Aktivinformationssignal ΦC (oder ein CAS-Aktivinformationserweiterungssignal ΦCN , wenn der Schreiblatenzwert "n" ist), das WE-Aktivinformationssignal ΦWR , das Bit-Setzsignal BITSET und das Schreiblatenzsignal $\Phi WL1$, und versorgt einen Bündellängenerkennungsschaltkreis 70 mit einem Bündellängenzählsignal CNTi (wobei i zwischen 0 und 8 liegt). Der Bündellängenerkennungsschaltkreis 70 vergleicht das vom Bündellängenzähler 50 erzeugte Bündellängenzählsignal CNTi mit einem vorgeschriebenen Bündellängensignal, um ein Bündellängenabstastsignal COSI zu erzeugen, und übergibt das Bündellängenabstastsignal COSI an den Spaltenadressenzähler 30, um die Zähloperation der Spaltenadressensignale zu steuern. Ein Datenübergabeschalterschaltkreis 90 empfängt den Systemtakt CLK, das CAS-Aktivinformationssignal ΦC (oder ein CAS-Aktivinformationserweiterungssignal ΦCN , wenn der Schreiblatenzwert "n" ist), das WE-Aktivinformationssignal ΦWR und das Schreiblatenzsignal $\Phi WL1$, und erzeugt die Datenübergabeschaltersignale WDTP0—WDTPm zur Steuerung der Datenübergabegatter TGO—TGM.

Der Systemtakt CLK wird von einem Mikroprozessor, usw. von außerhalb des Chips bereitgestellt, und hat zum Beispiel eine konstante Frequenz von 100 MHz, 66 MHz oder 33 MHz. Der Systemtakt CLK wird als Basis zum Setzen für eine Vielfalt von Zeiteinstellungen in der synchronen Halbleiterspeichervorrichtung benutzt. Das CAS-Aktivinformationssignal ΦC wird von einem (nicht gezeigten) CAS-Puffer erzeugt, der ein Spaltenadressenfreigabesignal CAS empfängt, welches von außerhalb des Chips bereitgestellt wird. Das CAS-Aktivinformationssignal wird als Reaktion auf ein auf logisch "niedrig" aktiviertes Spaltenadressenfreigabesignal CAS aktiviert und während eines Zyklus auf logisch "hoch" gehalten. Das CAS-Aktivinformationserweiterungssignal ΦCN wird erzeugt, indem das CAS-Aktivinformationssignal ΦC durch die Anzahl der Taktimpulse des Systemtaktes verzögert wird, welche mit dem gesetzten Schreiblatenzwert korrespondieren, und der Erzeugungsprozeß wird mit Bezug auf Fig. 3 beschrieben. Das WE-Aktivinformationssignal ΦWR wird von einem (nicht gezeigten) WE-Puffer erzeugt, der ein Schreibfreigabesignal WE empfängt, das von außerhalb des Chips bereitgestellt wird, und wird als Reaktion auf das auf logisch "niedrig" aktivierte Schreibfreigabesignal WE aktiviert. Das WE-Aktivinformationssignal ΦWR wird nur dann auf logisch "niedrig" gehalten, wenn das anfängliche Spaltenadressensignal bereitgestellt wird, und wird während eines Schreibzyklus auf logisch "hoch" gehalten. Das Spaltenadressenrücksetzsignal $\Phi CARC$ wird zusammen mit dem Bit-Setzsignal BITSET als Reaktion auf das vom CAS-Puffer erzeugte CAS-Aktivinformationssignal ΦC aktiviert, und wird während eines Schreibzyklus auf logisch "hoch" gehalten. Das Bit-Setzsignal BITSET ist ein Impulssignal, das nur dann auf logisch "hoch" gehalten wird, wenn das anfängliche Spaltenadressensignal als Reaktion auf das CAS-Aktivinformationssignal ΦC bereitgestellt wird, um den Spaltenadressenzähler 30 und den Bündellängenzähler 50 zu steuern. Andere Details dieser Signale werden leicht aus der folgenden Beschreibung gewürdigt werden.

Beispiele des das Schreiblatenzsignal erzeugenden Schaltkreises 10 von Fig. 1 werden in den Fig. 2A—2C veranschaulicht. In Fig. 2A wird ein Bondierdraht 4 zwischen einem Masseanschluß 2 und einer Anschlußfläche 6 im Chip-Bondierprozeß benutzt. Wenn der Bondierdraht 4 mit dem Masseanschluß 2 verbunden ist, wird ein logisch "niedrig"-Signal der Inverterkette 14 zugeführt, und das Schreiblatenzsignal $\Phi WL1$ mit logisch "hoch" wird erzeugt. In diesem Fall ist der Schreiblatenzwert "1", und das bedeutet, daß die Eingabedaten an einen internen Datenbus einen Taktimpuls des Systemtaktes CLK nach der Zuführung des Schreibfreigabesignals WE übergeben werden. Wenn die Anschlußfläche 6 nicht mit dem Masseanschluß 2 verbunden ist, wird das Potential des Knotens 12 durch einen PMOS-Transistor 8 auf logisch "hoch" gesetzt, und das Schreiblatenzsignal $\Phi WL1$ mit logisch "niedrig" wird erzeugt. Dann ist der Schreiblatenzwert "0", und das bedeutet, daß das synchrone dynamische RAM die Schreiblatenzoperation nicht ausführt.

In Fig. 2B wird eine Schmelzsicherung 3 in einem Latenztestprozeß benutzt. Falls die Schmelzsicherung 3 mit der Versorgungsspannung Vcc verbunden ist, wird das Schreiblatenzsignal $\Phi WL1$ mit logisch "niedrig" (in diesem Fall ist der Schreiblatenzwert "0") durch die Inverterkette 14 erzeugt. Falls die Schmelzsicherung 3 von

der Versorgungsspannung Vcc getrennt ist, wird das Schreiblatenzsignal ΦWLi mit logisch "hoch" (in diesem Fall ist der Schreiblatenzwert "1") erzeugt. In Fig. 2C wird eine Programmform benutzt, die durch einen WCBR-Takt $\Phi WCBR$ gesteuert wird und das Schreiblatenzsignal ΦWLi als Reaktion auf den logischen Zustand des jeweiligen Spaltenadresssignals CAi erzeugt. Wenn das WCBR-Taktsignal $\Phi WCBR$ in den logisch "hoch"-Zustand gesetzt ist, ist ein aus einem PMOS-Transistor 11 und einem NMOS-Transistor 15 bestehender Inverter im Betrieb. Die Eingabe in den Inverter ist das Spaltenadresssignal CAi und die Ausgabe aus dem Inverter wird einer Halteschaltung 19 zugeführt. Die Ausgabe aus der Halteschaltung 19 wird über einen Inverter 21 einem (nicht gezeigten) NAND-Gatter zugeführt. Falls das Spaltenadresssignal CAi logisch "niedrig" ist, wird das Schreiblatenzsignal ΦWLi mit logisch "niedrig" (in diesem Fall ist der Schreiblatenzwert "0") erzeugt, und falls das Spaltenadresssignal CAi logisch "hoch" ist, wird das Schreiblatenzsignal ΦWLi mit logisch "hoch" (in diesem Fall ist der Schreiblatenzwert "1") erzeugt.

Um den Schreiblatenzwert auf "n" zu setzen, was gleich oder größer als "2" ist, wird ein Schaltkreis zum Erzeugen des CAS-Aktivinformationserweiterungssignals ΦCN benötigt, wie in Fig. 3 gezeigt. Zum Erzeugen der n CAS-Aktivinformationserweiterungssignale $\Phi C0 - \Phi Cn-1$, wird das CAS-Aktivinformationssignal ΦC einem Schieberegister zugeführt, das aus den Halteschaltungen L10, L11, ..., L12, L13 und der Übergabegatter G10, G11, ..., G12, G13, G14 besteht. Die Übergabegatter sind von CMOS-Art. Die N-Typ- und P-Typ-Elektroden der benachbarten Übergabegatter sind gegenüber plazierte und werden durch den Systemtakt gesteuert. Die durch das Schieberegister erzeugten n CAS-Aktivinformationserweiterungssignale $\Phi C0 - \Phi Cn-1$ werden einem NOR-Gatter NR10 zugeführt. Der Ausgang des NOR-Gatters NR10 wird einem Inverter I11 zugeführt, um das CAS-Aktivinformationserweiterungssignal ΦCN zu erzeugen, das die Information der n CAS-Aktivinformationssignale hat. Falls das CAS-Aktivinformationserweiterungssignal ΦCN benutzt wird, werden die Eingabedaten als Reaktion auf den n-ten Systemtaktimpuls CLK nach Aktivierung des Schreibfreigabesignals an den internen Datenbus übertragen.

Fig. 4A und 4B zeigen eine Zählerstufe des Spaltenadressenzählers 30 von Fig. 1. Ein Spaltenadressensignal CAI-1 und ein Übertragungssignal CRI-1, die von der vorhergehenden Stufe erzeugt wurden, werden bereitgestellt, um ein gezähltes Spaltenadressensignal CAI zu erzeugen. Obgleich nicht in der Zeichnung gezeigt, ist die Schaltkreiskonfiguration jeder Zählerstufe des in der synchronen Halbleiterspeichervorrichtung benutzten allgemeinen Spaltenadressenzählers dieselbe wie die von Fig. 4A und 4B, außer daß das Spaltenadressensignal und das Übertragungssignal von der jeweils vorhergehenden Stufe zugeführt wird. Die in Fig. 4A und 4B gezeigte Schaltkreiskonfiguration entspricht dem Stand der Technik. Während Fig. 4A den Spaltenadressenzähler veranschaulicht, wenn der Schreiblatenzwert "0" ist, wird in Fig. 4B die Schreiblatenzinformation bei der Erzeugung des Spaltenadressensignals berücksichtigt. Mit Bezug auf Fig. 4B wird der Ausgang des NAND-Gatters 46, das das CAS-Aktivinformationssignal ΦC (oder das CAS-Aktivinformationserweiterungssignal ΦCN , wenn der Schreiblatenzwert auf "n" gesetzt ist), das WE-Aktivinformationssignal ΦWR und das Schreiblatenzsignal $\Phi WL1$ empfängt, dem NAND-Gatter 47 zusammen mit dem Spaltenadressenrücksetzsignal $\Phi CARC$ zugeführt. Der Ausgang des NAND-Gatters 47 wird über einen Inverter 48 einem NAND-Gatter 31 zugeführt. Deshalb hat das durch den Inverter 48 erzeugte Spaltenadressenrücksetzsignal $\Phi CARC'$ die Schreiblatenzinformation. Es wird bemerkt, daß Fig. 4B die Schreiblatenzinformation der Spaltenadressenzähloperation nach der vorliegenden Erfindung berücksichtigt.

Fig. 5A und 5B zeigt den Bündellängenzähler 50 von Fig. 1, und ein Bündellängenzahlsignal CNTi (wobei i zwischen 0 und 8 ist) wird erzeugt. Fig. 5A veranschaulicht den Bündellängenzähler, wenn die Schreiblatenzinformation nicht berücksichtigt wird, oder wenn der Schreiblatenzwert "0" ist, und Fig. 5B veranschaulicht den Bündellängenzähler, wenn die Schreiblatenzinformation berücksichtigt wird. In Fig. 5A erzeugt ein NOR-Gatter 51, das das Bit-Setzsinal BITSET und das Rücksetzsinal ΦS aufnimmt, durch einen Inverter 52 ein Signal COSSET zur Steuerung der Bündellängenzähloperation. Das Bündellängenzählsteuerungssignal COSSET wird dem NOR-Gatter 54 zugeführt. Das NOR-Gatter 54 wird durch den Systemtakt CLK gesteuert und empfängt ein Übertragungssignal CRI-1, das von der vorhergehenden Stufe erzeugt wurde. Der Ausgang des NOR-Gatters 54 steuert die CMOS-Übergabegatter 56 und 58. Eine Halteschaltung 57 ist zwischen dem Ausgang des Übergabegatters 56 und dem Eingang des Übergabegatters 58 geschaltet. Der Ausgang des Inverters 52 ist mit dem Gate-Anschluß eines NMOS-Transistors 53 verbunden, welcher zwischen dem Eingang der Halteschaltung 57 und der Substratspannung Vss geschaltet ist. Eine Halteschaltung 59 und ein Inverter 60 sind in Serie zwischen dem Ausgang des Übergabegatters 58 und dem Eingang des Übergabegatters 56 geschaltet. Das Bündellängenzahlsignal CNTi wird von der Halteschaltung 59 erzeugt. Ein zweites Bündellängenzahlsignal CNTi+1 wird durch das NAND-Gatter 61 erzeugt, das durch das CAS-Aktiv-

55 In Fig. 5B wird das Schreiblatenzsignal $\Phi W L_1$ einem NAND-Gatter 61 zugeführt, das durch das CAS-Aktivinformationssignal ΦC (oder CAS-Aktivinformationserweiterungssignal $\Phi C N$, wenn der Schreiblatenzwert auf "n" gesetzt ist) und das WE-Aktivinformationssignal $\Phi W R$ gesteuert wird. Der Ausgang des NAND-Gatters 61 wird dem NAND-Gatter 62 zugeführt, das durch das Rücksetzsignal ΦS gesteuert wird und der Ausgang des NAND-Gatters 62 wird dem NOR-Gatters 51 zugeführt, das durch das Bit-Setzsignal $B I T S E T$ gesteuert wird. Deshalb hat das durch den Inverter 52 erzeugte Bündellängenzählsteuerungssignal $C O S S E T$ die Schreiblatenzinformation. Die zusätzliche Schaltkreiskonfiguration zur Erzeugung des Bündellängenzählsignals $C N T_i$ ist dieselbe wie die von Fig. 5A.

Der Bündellängenerkennungsschaltkreis 70 von Fig. 1 wird in Fig. 6 gezeigt. Der Bündellängenerkennungsschaltkreis empfängt die Bündellängenzählsignale CNT0—CNT8, die vom Bündellängenzähler erzeugt werden, dessen jede Zählstufe in Fig. 5A oder 5B gezeigt wurde, und erzeugt ein Bündellängenerkennungssignal COSI, dessen jede Zählstufe in Fig. 5A oder 5B gezeigt wurde, und erzeugt ein Bündellängenerkennungssignal COSI, dessen jede Zählstufe in Fig. 5A oder 5B gezeigt wurde, und erzeugt ein Bündellängenerkennungssignal COSI, dessen jede Zählstufe in Fig. 5A oder 5B gezeigt wurde.

SZ2, SZ4, SZ8, SZ16, SZ32, SZ64, SZ128, SZ256 und SZ512,

die von einem (nicht gezeigten) Betriebsmodeseitzschaltkreis produziert werden. Der Schaltkreis von Fig. 6 wurde im koreanischen Patent Nr. 93-7127 offengelegt, welches an denselben Träger des vorliegenden Patentes übertragen wurde. Es wird bemerkt, daß die Schreiblatenzinformation in der Erkennung der Bündellänge berücksichtigt wird.

Der in Fig. 7A und 7B aufgezeigte Datenübergabeschaltkreis 90 von Fig. 1 erzeugt das Datenübergabeschaltersignal WDTPi (wobei i zwischen 0 und m liegt), das eines der Datenübergabegatter TG0—TGM von Fig. 1 steuert. Fig. 7A veranschaulicht den Datenübergabeschaltersignalerzeugungsschaltkreis, wenn die Schreiblatenzinformation nicht berücksichtigt wird, und Fig. 7B veranschaulicht den Datenübergabeschaltersignalerzeugungsschaltkreis, wenn die Schreiblatenzinformation berücksichtigt wird. In Fig. 7A wird der Systemtakt CLK dem NAND-Gatter 94 über eine aus vier Invertoren bestehende Inverterkette 91 zugeführt. Der Ausgang des NAND-Gatters 94, das WE-Aktivinformationssignal ΦWR und das Rücksetzsignal ΦS empfängt, wird ebenfalls dem NAND-Gatter 94 über einen Inverter 93 zugeführt, und das Spaltenadressensignal CAI wird auch dem NAND-Gatter 94 zugeführt. Das NAND-Gatter erzeugt das Datenübergabeschaltersignal WDTPi über eine aus drei Invertoren bestehende Inverterkette 95. Obwohl der Datenübergabeschaltersignalerzeugungsschaltkreis von Fig. 7A ein Datenübergabeschaltersignal bezüglich eines Spaltenadressensignals erzeugt, sollte die Zahl der Spaltenadressensignale dieselbe wie die Zahl der NAND-Gatter 94 bzw. die Zahl der Inverterketten 95 sein. Die Konfiguration von Fig. 7B ist dieselbe wie die von Fig. 7A, außer daß der Ausgang des NAND-Gatters 96, das CAS-Aktivinformationssignal ΦC (oder CAS-Aktivinformationserweiterungssignal ΦCN , wenn der Schreiblatenzwert auf "n" gesetzt ist) und das Schreiblatenzsignal $\Phi WL1$ empfängt, ferner dem NAND-Gatter 92 zugeführt wird, das durch das WE-Aktivinformationssignal ΦWR und das Rücksetzsignal ΦS gesteuert wird.

Nun wird die Schreiblatenzsteuerungsoperation nach der vorliegenden Erfindung, die in der oben erwähnten Weise konfiguriert ist, beschrieben. Das, wie in Fig. 1 aufgezeigt, vom Schreiblatenzsignalerzeugungsschaltkreis 10 erzeugte Schreiblatenzsignal $\Phi WL1$ sollte gleichzeitig dem Spaltenadressenzähler 30, dem Bündellängenzähler 50 und dem Datenübergabeschaltersignalerzeugungsschaltkreis 90 zugeführt werden, um die Zeitsteuerung vom durch das Spaltenadressenfrequenzsignal CAS und das Schreiblatenzsignal WE gegebenen Beginn des Schreibzyklus an vollständig durchzuführen, bis die Schreibdaten vom Dateneingabepuffer nach Passieren des Datenübergabegatters an den interne Datenbus übertragen worden sind. Zu diesem Zweck hält ein Signal mit der Schreiblatenzinformation den logischen Übergabebetrieb am Spaltenadressenzähler 30, am Bündellängenzähler 50 und am Datenübergabeschaltersignalerzeugungsschaltkreis 90, wie von Fig. 4B, 5B und 7B erkannt werden kann.

Unter der Annahme, daß der Schreiblatenzsignalwert "n" ist, wird das Schreiblatenzsignal $\Phi WL1$ und das CAS-Aktivinformationserweiterungssignal ΦCN , die logisch "hoch" sind, dem NAND-Gatter 46 des Spaltenadressenzählers von Fig. 4B zugeführt. Da das WE-Aktivinformationssignal ΦWR logisch "hoch" ist, ist der Ausgang des NAND-Gatters 46 während des Schreibzyklus logisch "niedrig". Der Ausgang des durch den Systemtakt CLK gesteuerten NOR-Gatters 32 wird auf logisch "niedrig" gehalten, während das CAS-Aktivinformationserweiterungssignal ΦCN unter dem logisch "hoch"-Zustand des Schreiblatenzsignals $\Phi WL1$ auf logisch "hoch" gehalten wird (diese Zeitspanne wird als "Haltezeit" bezeichnet und in der Zeichnung als "TH" gekennzeichnet). Da während einer solchen Haltezeit das Übergabegatter 40 abgeschaltet und das Übergabegatter 43 angeschaltet ist, wird das Spaltenadressensignal CAI während der Haltezeit auf dem gegenwärtigen logischen Zustand gehalten.

Da der Ausgang des NAND-Gatters 61 des Bündellängenzählers von Fig. 5B während der Haltezeit logisch "niedrig" ist, wird in ähnlicher Weise, falls der Schreiblatenzwert "n" ist, der durch den Systemtakt CLK gesteuerte Ausgang des NOR-Gatters 54 während der Haltezeit auf logisch "niedrig" gehalten. Das Übergabegatter 56 ist abgeschaltet und das Übergabegatter 58 ist angeschaltet, und damit wird das Bündellängenzähler-Signal CNTi während der Haltezeit auf dem gegenwärtigen logischen Zustand gehalten. Im Datenübergabeschaltersignalerzeugungsschaltkreis von Fig. 7B wird, falls der Schreiblatenzwert "n" ist, und da der Ausgang des NAND-Gatters 96, das das Schreiblatenzsignal $\Phi WL1$ und das CAS-Aktivinformationserweiterungssignal ΦCN empfängt, während der Haltezeit logisch "niedrig" ist, der Ausgang des NAND-Gatters 94, das das Spaltenadressensignal CAI empfängt, während der Haltezeit auf logisch "hoch" gehalten. Da das Datenübergabeschaltersignal WDTPi während der Haltezeit auf logisch "niedrig" gehalten wird, wird das zugeordnete, in Fig. 1 gezeigte Datenübergabegatter nicht eingeschaltet.

Folglich erzeugen der Spaltenadressenzähler, der Bündellängenzähler und der Datenübergabeschaltersignalerzeugungsschaltkreis während der Haltezeit vom gegenwärtigen logischen Zustand unveränderte Ausgänge. Die Haltezeit wird bestimmt durch das CAS-Aktivinformationssignal und das Schreiblatenzsignal mit der Schreiblatenzinformation.

Fig. 8A—8C veranschaulichen Zeitdiagramme, wenn nur der Datenübergabeschaltersignalerzeugungsschaltkreis 90 von Fig. 1 nicht durch die Schreiblatenzinformation gesteuert wird. In Fig. 8A ist der Schreiblatenzwert "0", und auf die Eingabedaten D1 und D2 wird normal in Reaktion auf die Datenübergabeschaltersignale WDTP1 bzw. WDTP2 zugegriffen. Wenn mittlerweile der Schreiblatenzwert "1" oder "2" ist, wie in Fig. 8B bzw. 8C gezeigt, und da das Spaltenadressensignal CM nicht gezählt wird und nicht im gegenwärtigen Zustand während der Haltezeit TH in Fig. 8B bzw. zweimal der Haltezeit ZTH in Fig. 8C gehalten wird, wird ein ungültiges Datenübergabeschaltersignal WDTPi (mit "IV" gekennzeichnet) (zu einem Zeitpunkt t1 in Fig. 8B und t1 und t2 in Fig. 8C) im Takt des Systemtaktes CLK erzeugt. Deshalb gibt es eine Fehlfunktion, in der ein ungültiges Eingabedatum D1 über das Datenübergabegatter TG1 zum internen Datenbus transportiert wird.

Fig. 9 veranschaulicht ein Zeitdiagramm, wenn eine Eingabe-/Ausgabemaskierungsoperation durch ein Ein-

gabe-/Ausgabemaskierungssignal DQM unter der Bedingung durchgeführt wird, daß nur der Datenübergabeschalterschaltkreis 90 von Fig. 1 nicht durch die Schreiblatenzinformation gesteuert wird, und der Schreiblatenzwert "1" ist. Wie gezeigt, wird das ungültige Eingabedatum D1 durch das ungültig zum Zeitpunkt t1 erzeugte Datenübergabeschaltersignal WDTP1 an den internen Datenbus übergeben. Dann wird das gültige Datenübergabeschaltersignal WDTP1 zum Zeitpunkt t2 (gekennzeichnet durch eine gestrichelte Linie "a") nicht durch ein zum Zeitpunkt tM aktiviertes Eingabe-/Ausgabemaskierungssignal DQM erzeugt. Deshalb wird das zum internen Eingabebus zu übertragende Schreibeingabedatum D1 nicht an der gestrichelten Linie "b" übertragen. Falls jedoch der Datenübergabeschalterschaltkreis durch die Schreiblatenzinformation gesteuert wird, wie in Fig. 10 gezeigt, wird das Datenübergabeschaltersignal WDTP1 nicht zum Zeitpunkt t1, wie durch die gestrichelte Linie "c" gekennzeichnet, sondern zum Zeitpunkt t2 erzeugt, und damit wird das Eingabedatum D1 normal an den internen Datenbus übergeben.

Die bisher beschriebene Betriebsweise zeigt, wie der Prozeß eingerichtet werden sollte, um die Wirkungen nach der vorliegenden Erfindung zu erreichen.

Fig. 11A und 11B veranschaulichen Zeitdiagramme, die die vorliegende Erfindung ausführen. Wenn der Schreiblatenzwert "0" ist (d. h. wenn das Schreiblatenzsignal logisch "niedrig" ist), zeigt das Zeitdiagramm von Fig. 11A die von Fig. 4A, 5A, 6 und 7A ausgeführte Betriebsweise und ist dasselbe wie das von Fig. 8A.

Wie in Fig. 11B gezeigt, wenn der Schreiblatenzwert "1" ist (d. h. wenn das Schreiblatenzsignal logisch "hoch" ist), dann werden Fig. 2, 4B, 5B, 6 und 7b angewendet. Falls das Bit-Setzsignal BITSET durch das auf logisch "hoch" aktivierte CAS-Aktivinformationssignal ΦC aktiviert wird, wird das in der vorhergehenden Stufe gezählte Spaltenadressensignal CAi-1 durch das Übergabegatter 38 in der Halteschaltung 42 in Fig. 4B gespeichert. Danach wird der Systemtakt CLK auf logisch "hoch" angehoben, und das Übergabegatter 43 wird eingeschaltet, und damit wird das Spaltenadressensignal CAi (CA0) erzeugt. Da das Schreiblatenzsignal $\Phi W L 1$ logisch "hoch" ist (und das CAS-Aktivinformationssignal ΦC und das WE-Aktivinformationssignal $\Phi W R$ alle logisch "hoch" sind), wird der Ausgang des NOR-Gatters 32, das die Übergabegatter 40 und 43 steuert, auf logisch "niedrig" gehalten. Daher wird das Spaltenadressensignal CAi (CA0) mehr im gegenwärtigen logischen Zustand während der Haltezeit TH gehalten, während der Ausgang des NOR-Gatters 32 während der Haltezeit TH auf logisch "niedrig" gehalten wird. Ähnlich wird in Fig. 5B das Bündellängenzählsignal CNTi im gegenwärtigen logischen Zustand gehalten, da das Bündellängenzählsteuerungssignal COSSET während der Haltezeit TH im logischen "hoch"-Zustand gehalten wird. Ähnlich wird in Fig. 7B das Datenübergabeschaltersignal WDTP0 durch die Haltezeit verzögert, da der Ausgang des NAND-Gatters 94 während der Haltezeit TH im logischen Schreiblatenzsignal $\Phi W L 1$ und das CAS-Aktivinformationssignal ΦC während der Haltezeit TH im logischen "niedrig"-Zustand gehalten wird.

Da nach der Haltezeit TH das CAS-Aktivinformationssignal ΦC auf logisch "niedrig" gesenkt wird, werden das Spaltenadressenrücksetzsignal $\Phi C A R C$ und das Bündellängenzählsteuersignal COSSET auf logisch "hoch" bzw. "niedrig" gesetzt. In Fig. 4B wird deshalb die Erzeugung des Spaltenadressensignals CAi (CA0) durch aufeinander folgendes Absenken und Anheben des Systemtaktes CLK vervollständigt. In Fig. 5B wird ähnlich die Erzeugung des Bündellängenzählsignals CNTi (CNT0) vervollständigt. Da der Ausgang des Inverters 93 logisch "hoch" ist, erzeugt in Fig. 7B das MAND-Gatter 94 logisch "niedrig" als Reaktion auf ein logisch "hoch" des Spaltenadressensignals CAi (CA0) und der Anhebung des Systemtaktsignals CLK. Dann wird das Datenübergabeschaltersignal WDTP0 von logisch "hoch" erzeugt, und das zugeordnete Übergabegatter TG0 wird eingeschaltet, womit das Schreibeingabedatum D1 an den internen Datenbus übergeben wird. Der Übergabeprozess des nächsten Eingabedatums D1 wird auch ähnlich eingerichtet.

Wenn der Schreiblatenzwert auf "n" gesetzt ist, wird das vom Schaltkreis von Fig. 3 erzeugte CAS-Aktivinformationserweiterungssignal $\Phi C N$ benutzt, und die Haltezeit wird $n \times T H$. Während eine besondere Ausführungsform der vorliegenden Erfindung hier offengelegt wurde, mögen Änderungen und Modifikationen den in der Technik Geübten leicht unterkommen. Zum Beispiel kann der in Fig. 3 gezeigte Schaltkreis erreicht werden unter Benutzung anderer Spalten-bezogenen Signale oder Schreibbezogenen Signale als das CAS-Aktivinformationssignal ΦC , um den Schreiblatenzwert von "n" zu erzeugen.

Wie oben beschrieben, kann der Schaltkreis zur Steuerung des Schreiblatenzwertes leicht erzeugt werden. Deshalb kann der Betrieb einer synchronen Halbleiterspeichervorrichtung stabil sein und seine Zuverlässigkeit verbessert werden.

Patentansprüche

1. Halbleiterspeichervorrichtung, enthaltend einen Spaltenadressenzähler, einen Bündellängenzähler und einen Datenübergabeschalterschaltkreis, zum Verarbeiten der Daten in Synchronisation mit einem von Außen zugeführten Systemtakt, wobei die Halbleiterspeichervorrichtung enthält:
 - Einrichtung zum Setzen eines vorgeschriebenen Schreiblatenzwertes und zum Halten des internen Betriebs des Spaltenadressenzählers, des Bündellängenzählers und des Datenübergabeschalterschaltkreises für eine vorgeschriebene Zeitspanne, die dem Schreiblatenzwert zugeordnet ist.
 - Halbleiterspeichervorrichtung nach Anspruch 1, wobei der Schreiblatenzwert die Anzahl der Taktimpulse des Systemtaktes bestimmt, die gezählt werden von der Aktivierung eines von außen zugeführten, schreib-bezogenen Steuerungssignals bis Eingabedaten an einen internen Datenbus übergeben werden.
 - Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Ausgänge des Spaltenadressenzählers, des Bündellängenzählers und des Datenübergabeschalterschaltkreises während der vorgeschriebenen Zeit im gegenwärtigen Zustand gehalten werden.
 - Halbleiterspeichervorrichtung nach Anspruch 1, wobei der Schreiblatenzwert unter Benutzung eines Bondierdrahtes gesetzt wird.

5. Halbleiterspeichervorrichtung nach Anspruch 1, wobei der Schreiblatenzwert unter Benutzung einer Schmelzsicherung gesetzt wird.
6. Halbleiterspeichervorrichtung nach Anspruch 1, wobei der Schreiblatenzwert programmiert wird entsprechend einem Signal, das sich auf einen Betriebsmode der Halbleiterspeichervorrichtung bezieht.
7. Halbleiterspeichervorrichtung, enthaltend einen Spaltenadressenzähler, einen Bündellängenzähler und einen Datenübergabeschalterschaltkreis, zum Verarbeiten der Daten in Synchronisation mit einem von außen zugeführten Systemtakt, wobei die Halbleiterspeichervorrichtung enthält:
 Einrichtung zur Erzeugung eines Schreiblatenzsteuerungssignals;
 Einrichtung zur Erzeugung genau eines Aktivinformationserweiterungssignals aus einer Vielzahl von Aktivinformationssignalen, die als Reaktion auf ein von Außen zugeführtes, Spalten-bezogenes Steuerungssignal erzeugt werden; und
 Einrichtung zum Halten des internen Betriebs des Spaltenadressenzählers, des Bündellängenzählers und des Datenübergabeschalterschaltkreises für eine vorgeschriebene Zeitspanne, in der das Aktivinformationserweiterungssignal in einem aktiven Zustand ist.
8. Halbleiterspeichervorrichtung nach Anspruch 7, wobei das Schreiblatenzsteuerungssignal die Schreibeingabedaten zu verzögern bestimmt, welche von Außen zugeführt und an einen internen Datenbus übergeben werden.
9. Halbleiterspeichervorrichtung nach Anspruch 8, wobei das Aktivinformationserweiterungssignal die Anzahl der Taktimpulse des Systemtaktes bestimmt, die gezählt werden von der Aktivierung eines von außen zugeführten, schreib-bezogenen Steuerungssignals bis Eingabedaten an einen internen Datenbus übergeben werden.
10. Halbleiterspeichervorrichtung nach Anspruch 7, wobei die Ausgänge des Spaltenadressenzählers, des Bündellängenzählers und des Datenübergabeschalterschaltkreises während der vorgeschriebenen Zeit im gegenwärtigen Zustand gehalten werden.
11. Halbleiterspeichervorrichtung nach Anspruch 7, wobei jede der Vielzahl von Aktivinformationssignalen ein Zeitintervall hat, das mit genau einer Periode des Systemtaktes korrespondiert, und wobei das Aktivinformationserweiterungssignal erzeugt wird durch logische Kombination der Vielzahl von Aktivinformationssignale.

Hierzu 14 Seite(n) Zeichnungen

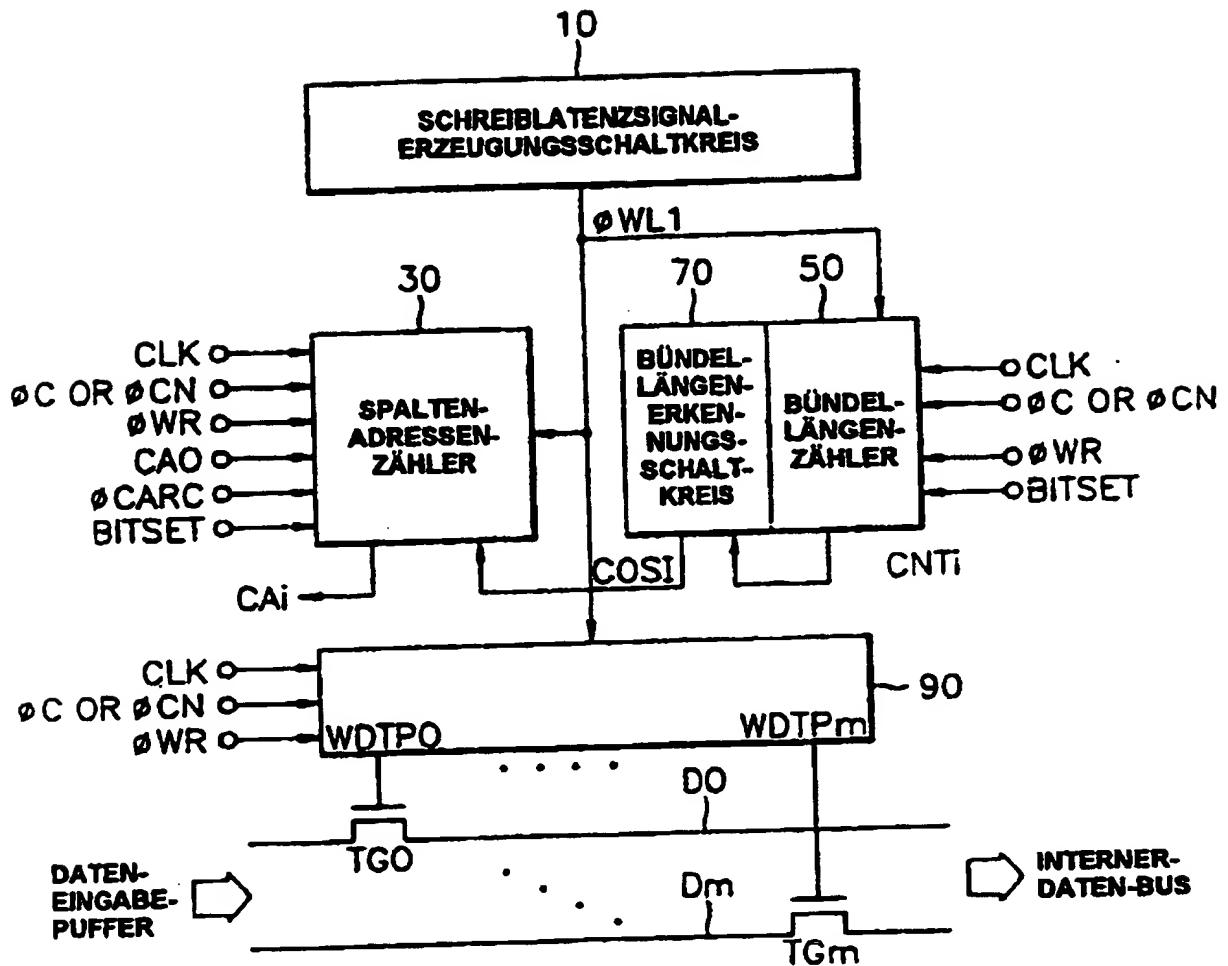


FIG. 1

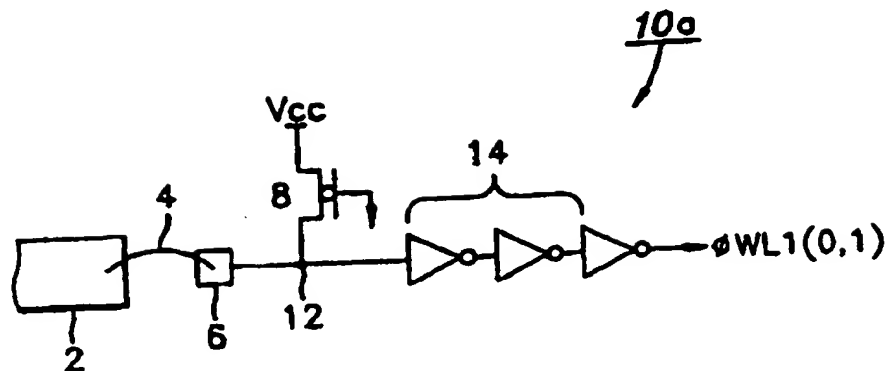


FIG. 2A

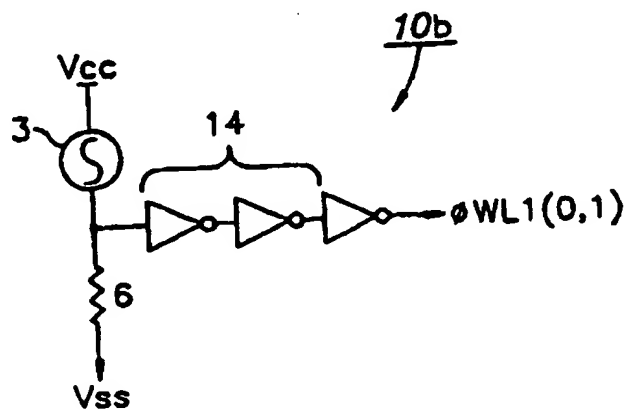


FIG. 2B

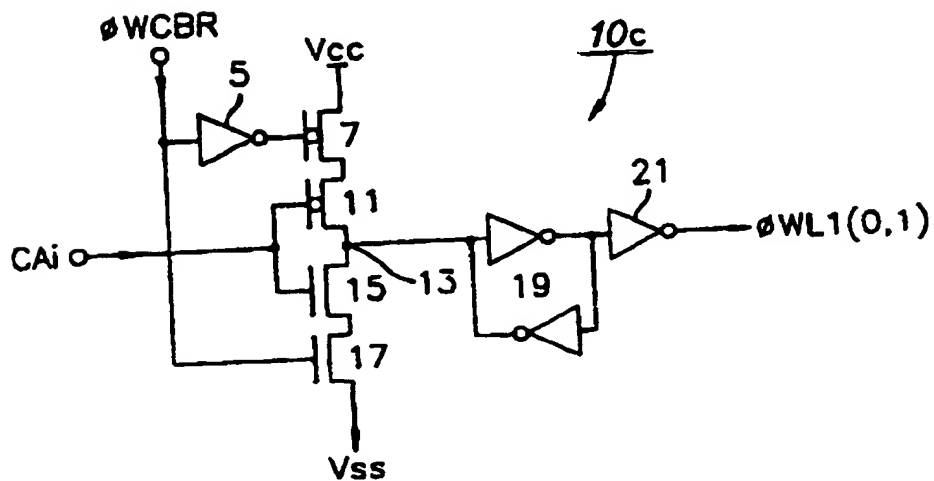


FIG. 2C

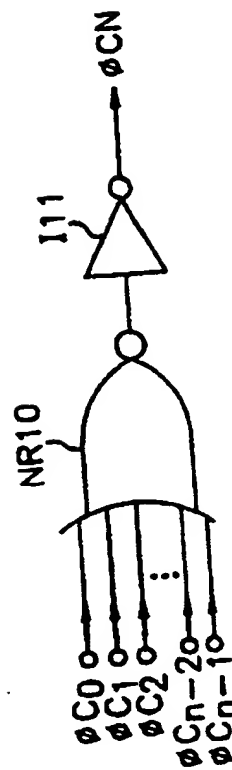
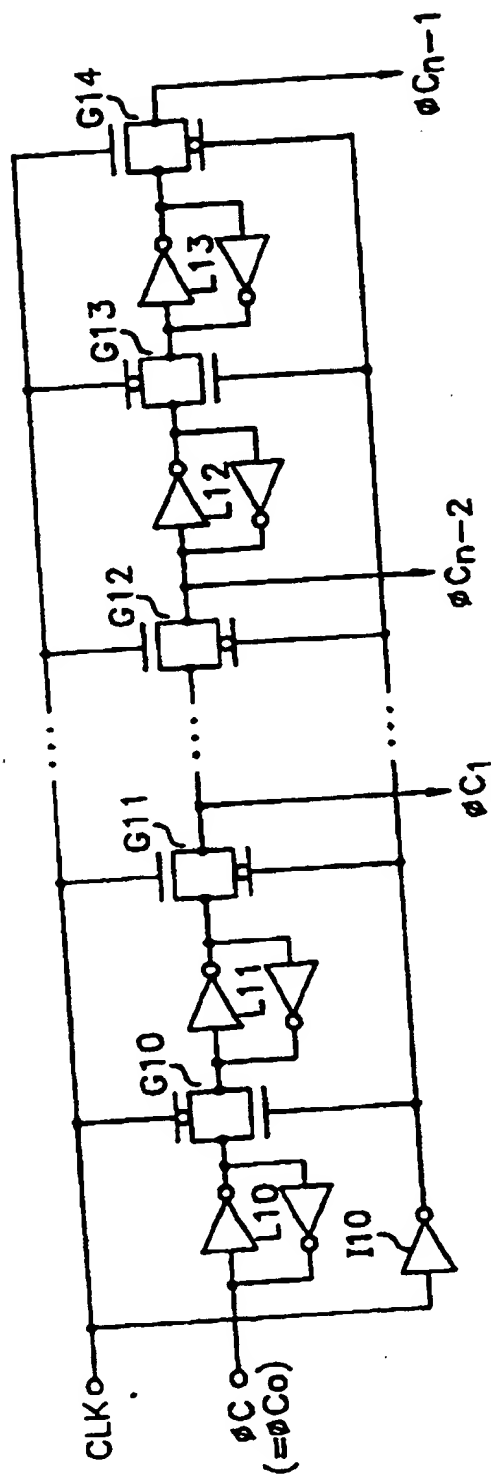


FIG. 3

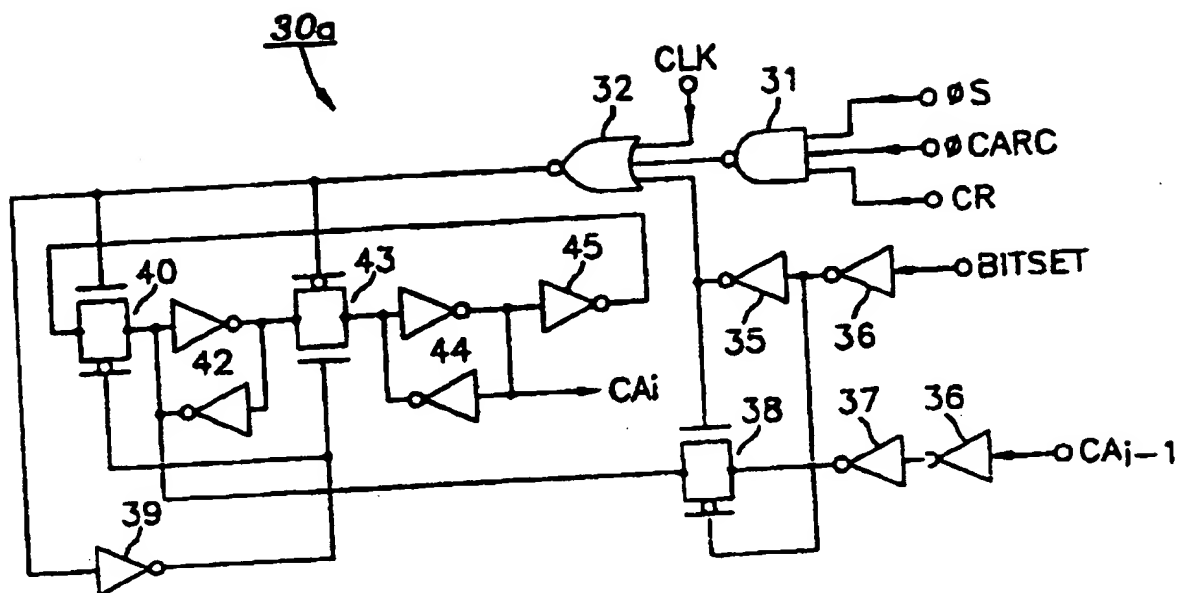


FIG. 4A

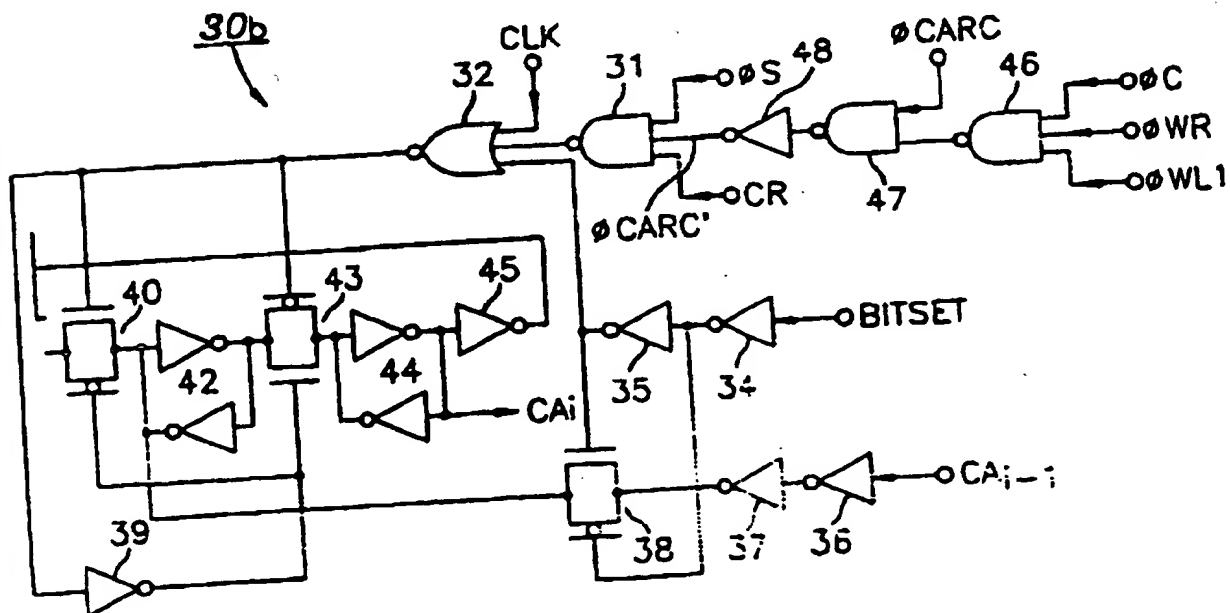


FIG. 4B

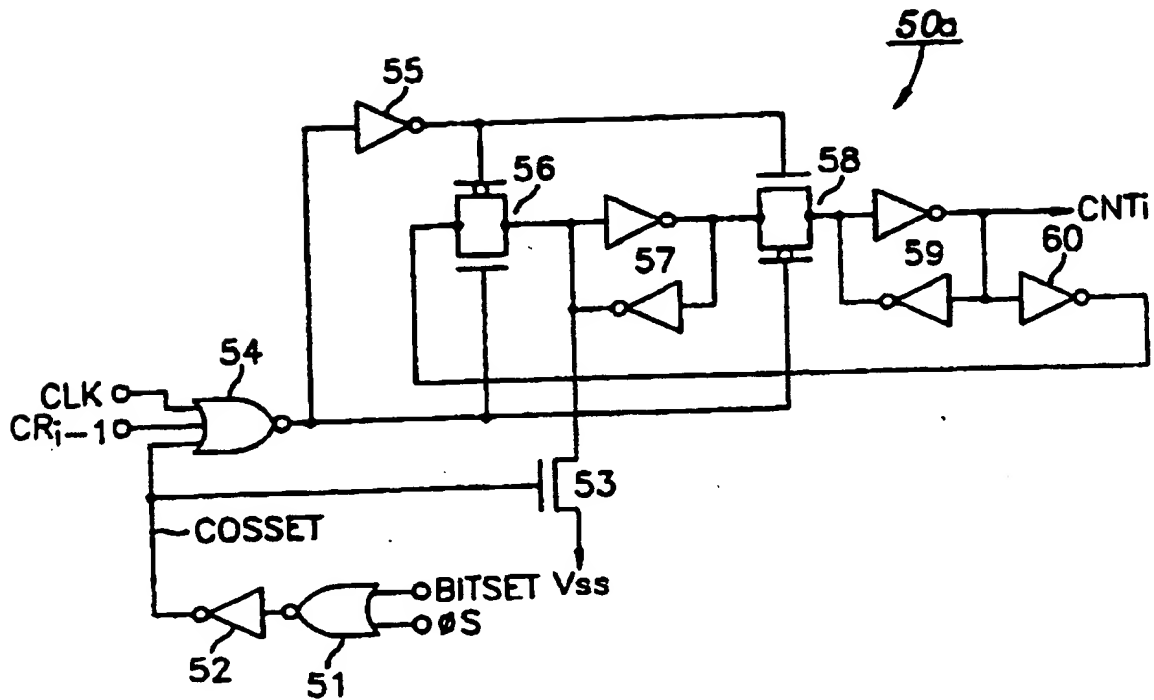


FIG. 5A

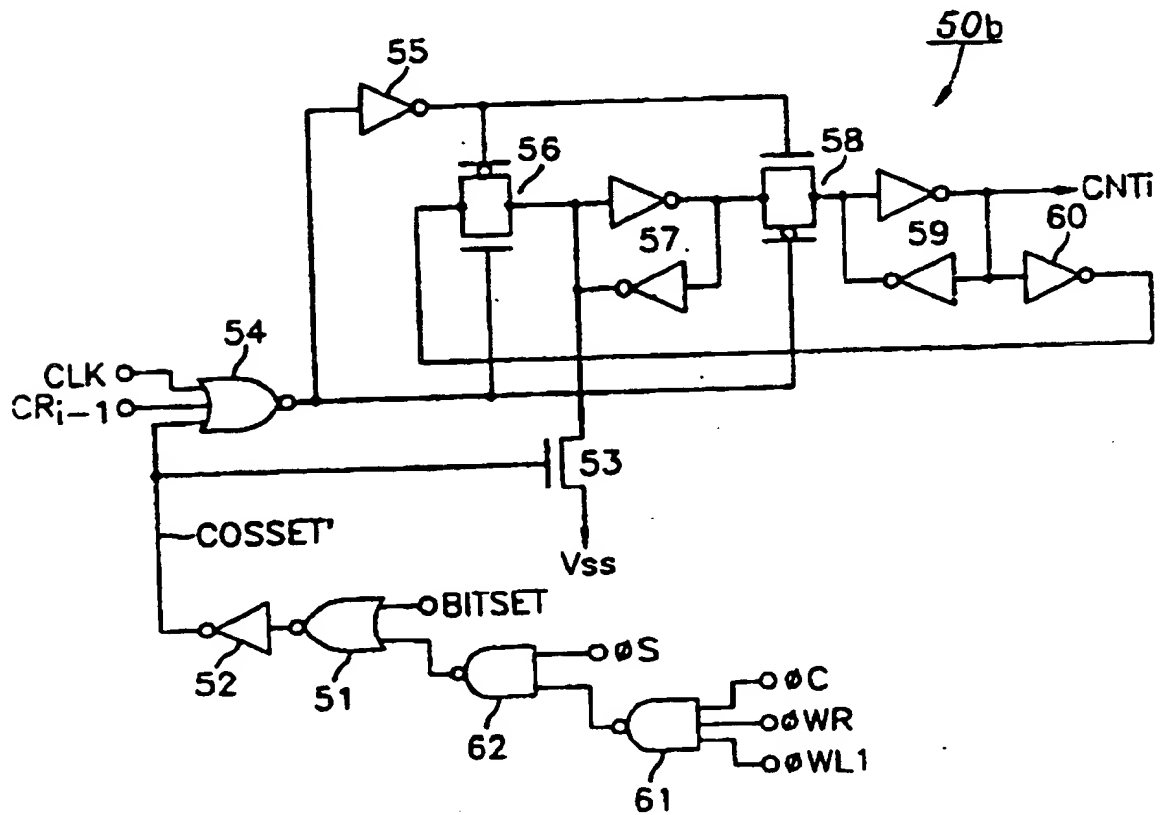


FIG. 5B

70

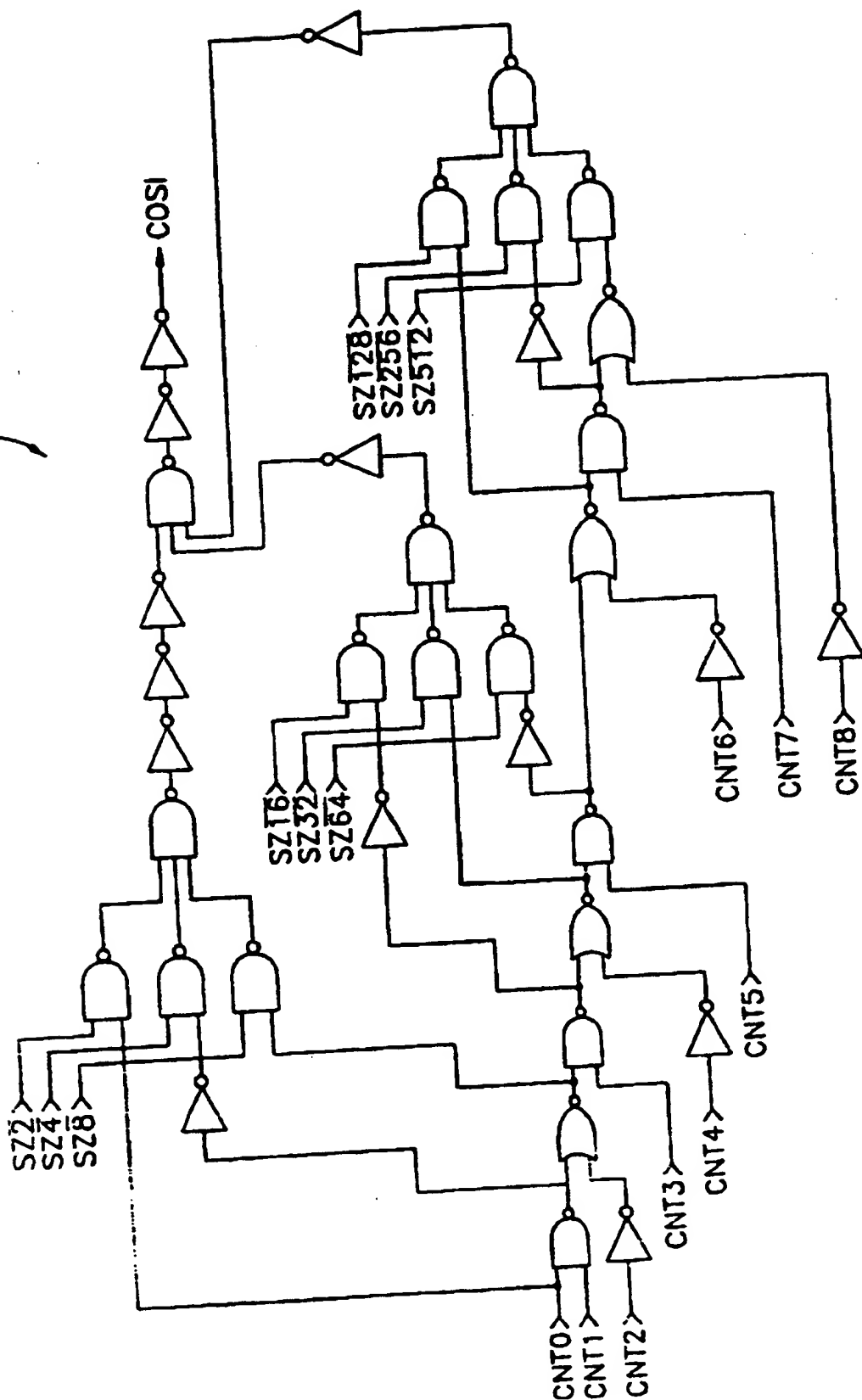


FIG. 6

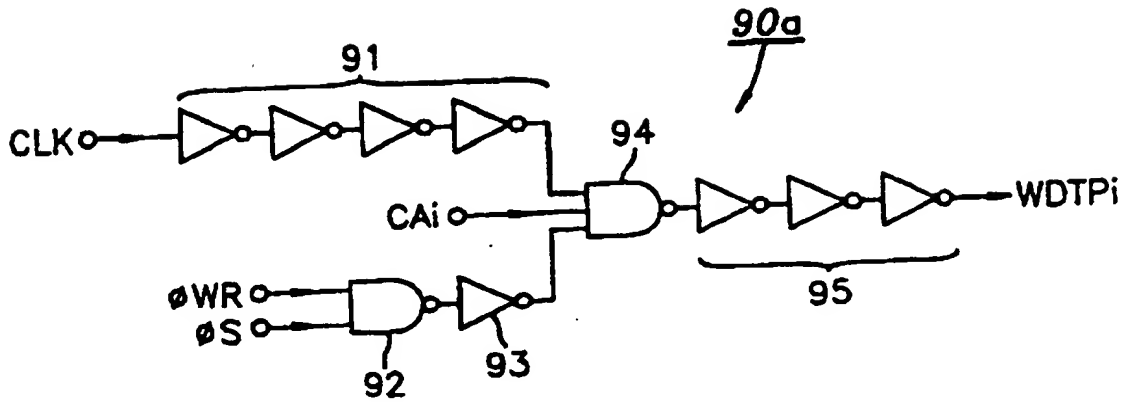


FIG. 7A

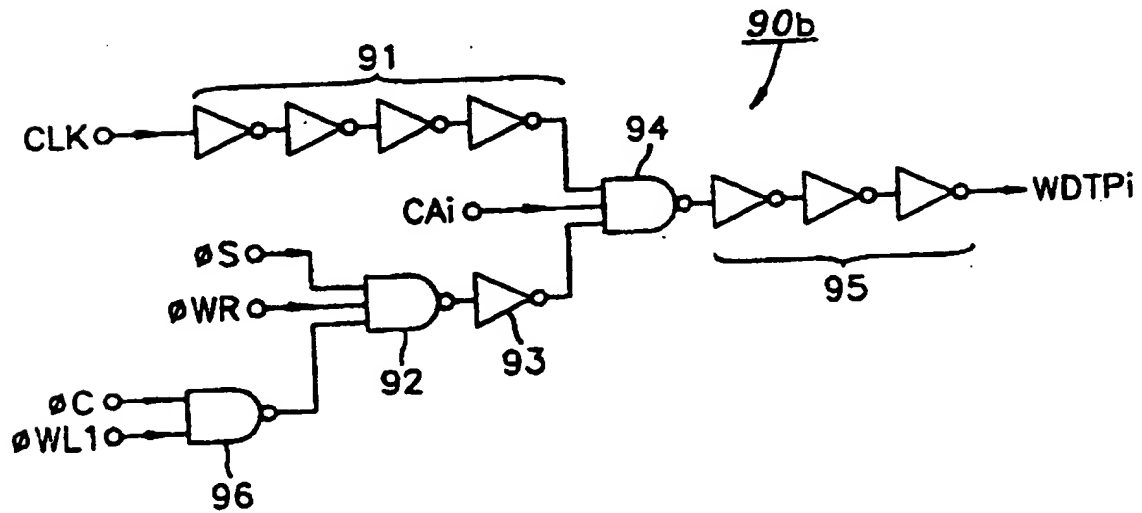


FIG. 7B

SCHREIBLATENZWERT = 0

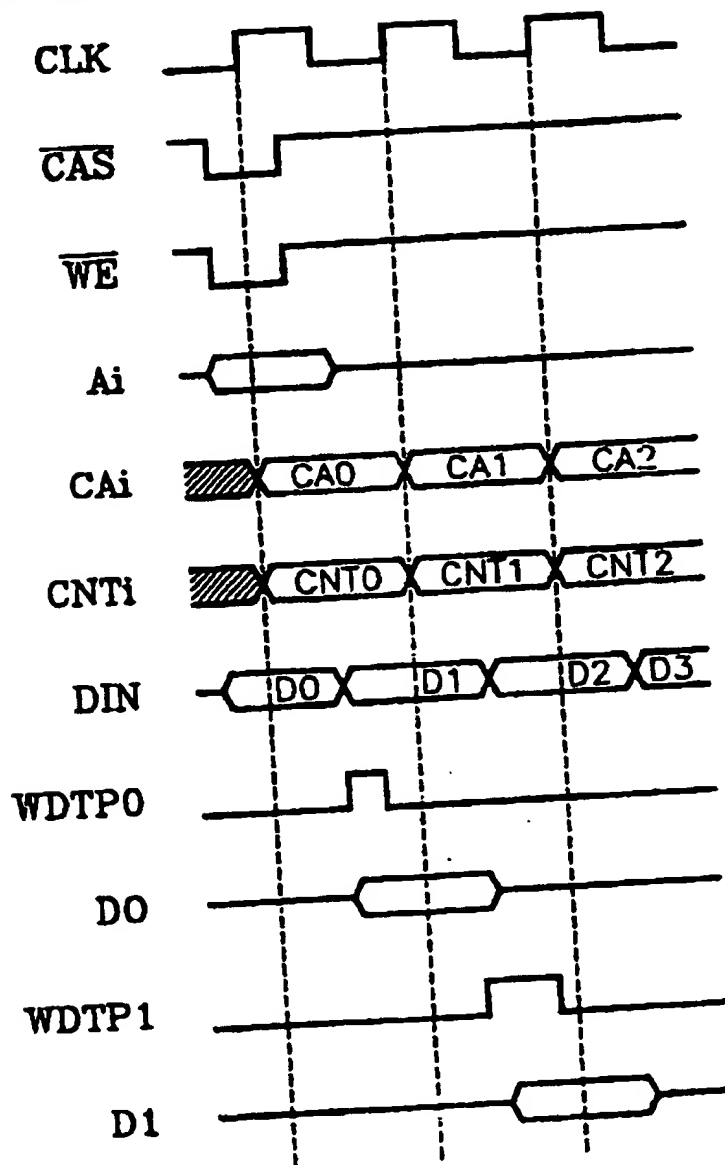


FIG. 8A

SCHREIBBLATENZWEIT = 1

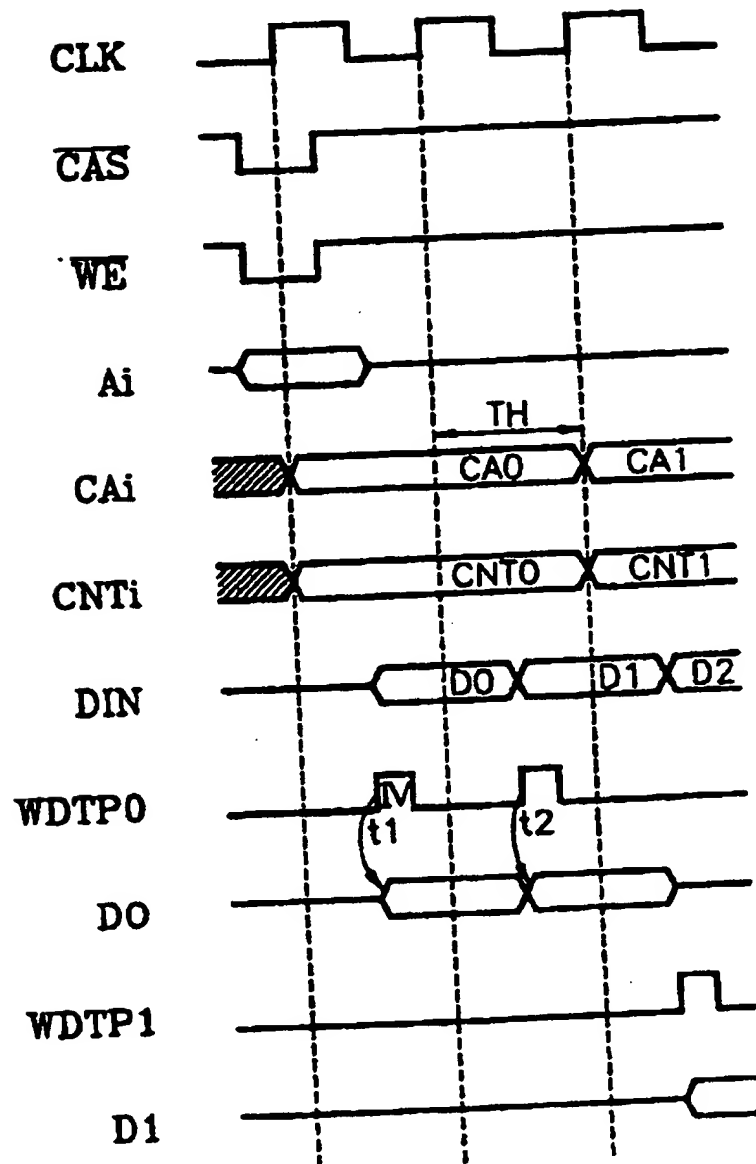


FIG. 8B

SCHREIBLATENZWERT = 2

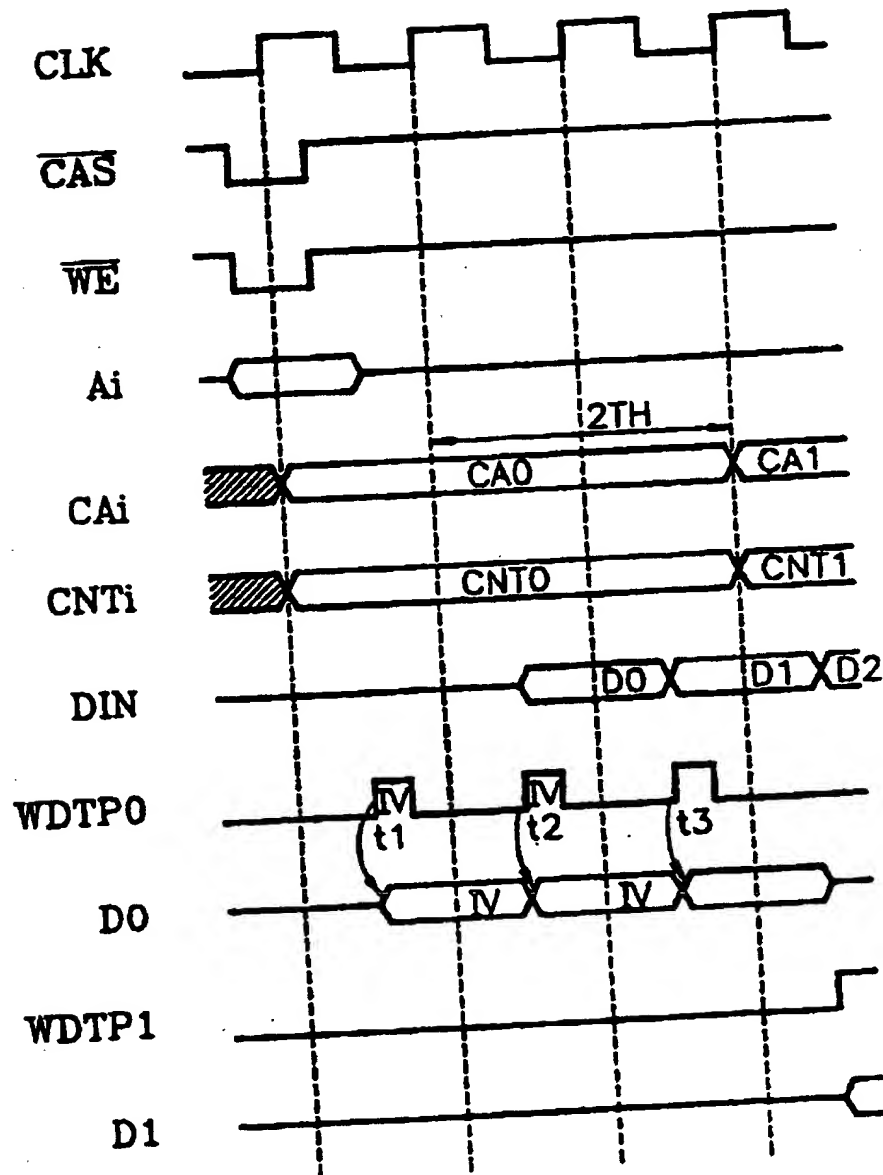


FIG. 8C

508 036/527

SCHREIBLATENZWERT = 1

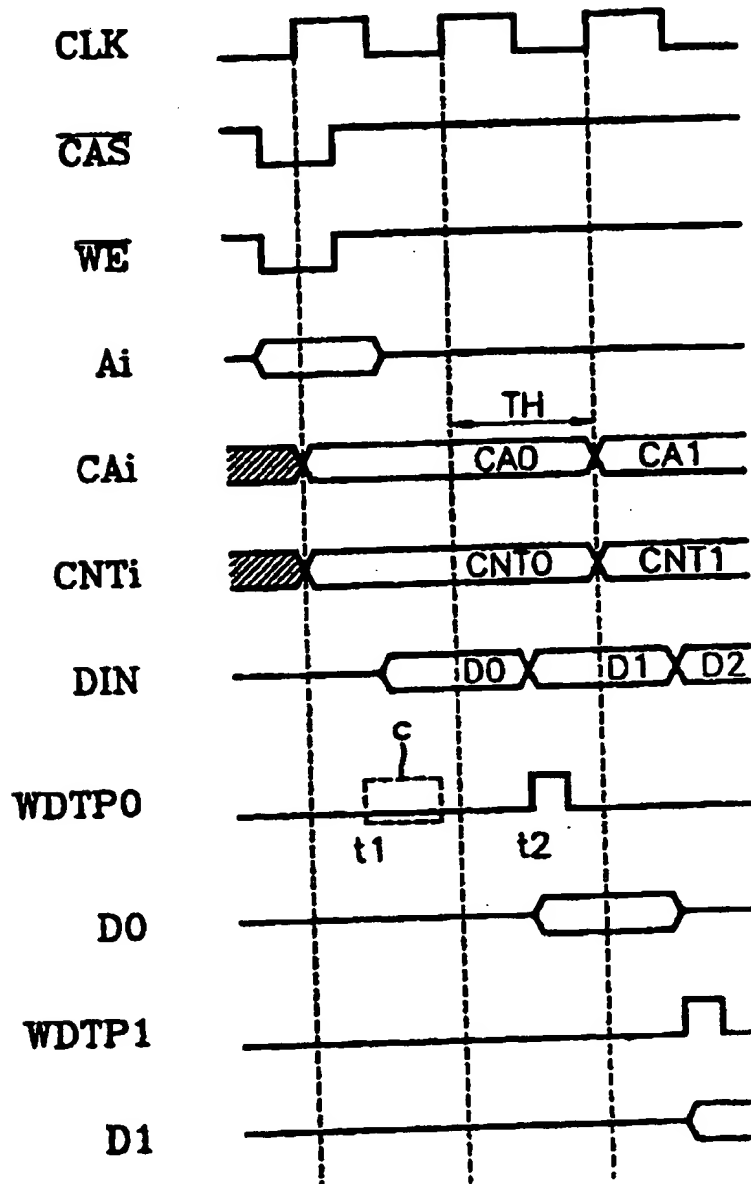


FIG. 10

SCHREIBBLATENZWERT = 0

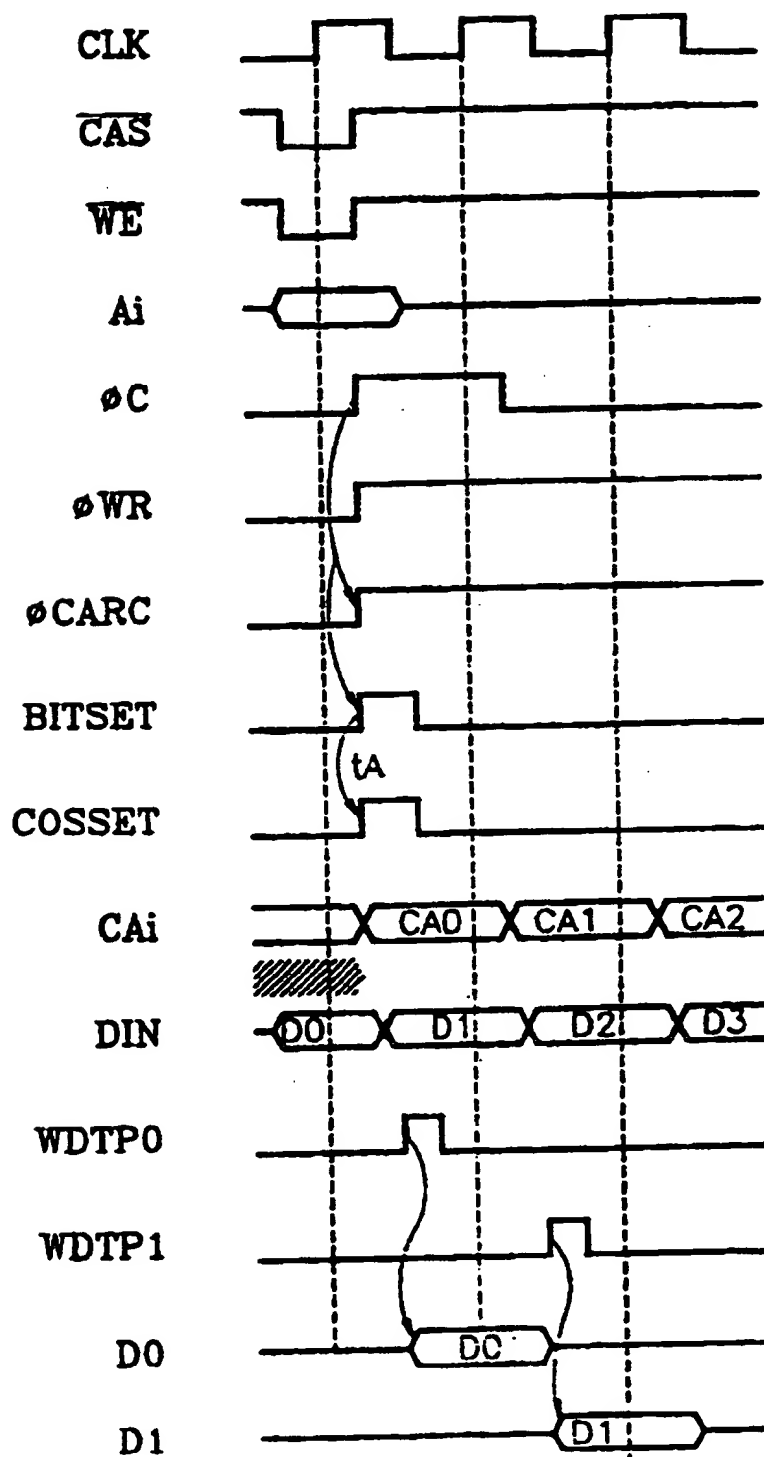


FIG. 11A

SCHREIBPLATENZWEIT = 1

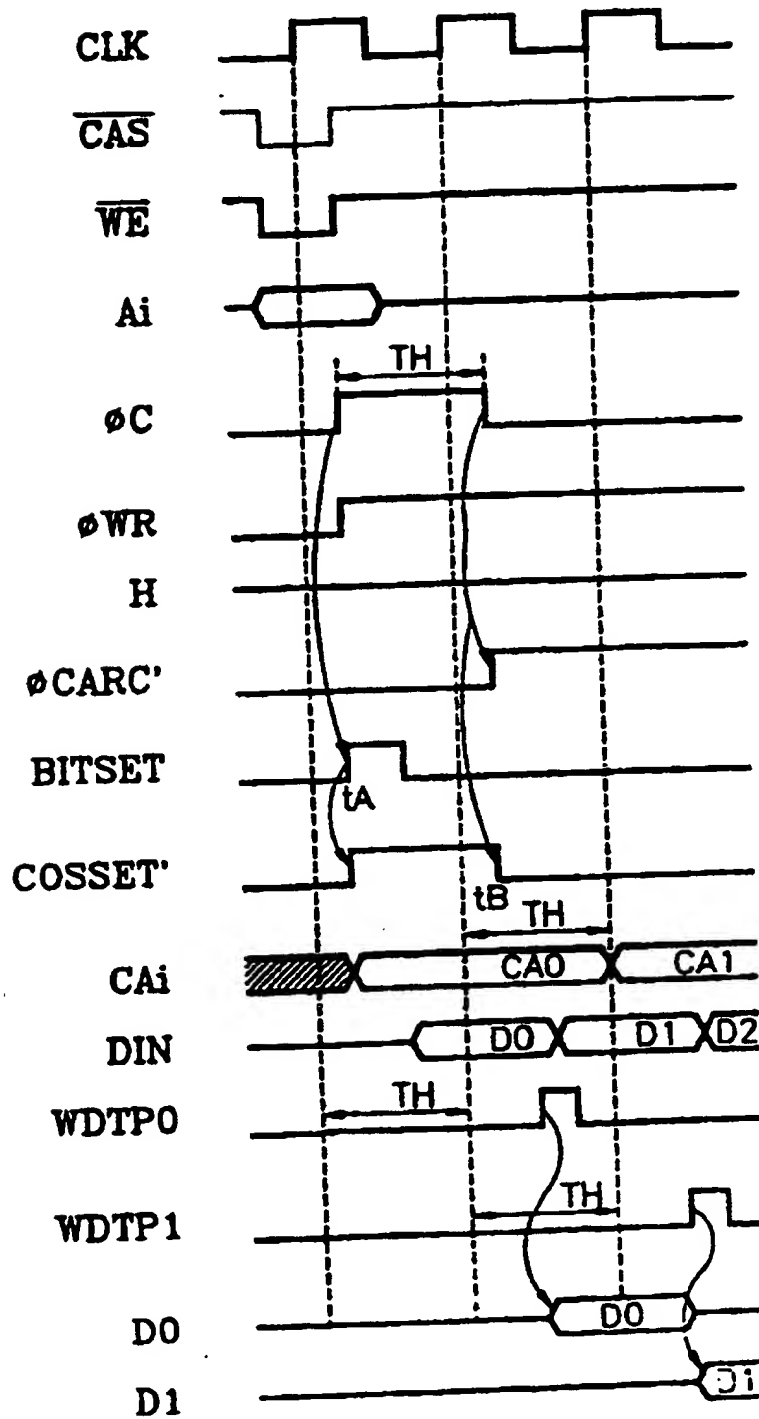


FIG. 11B